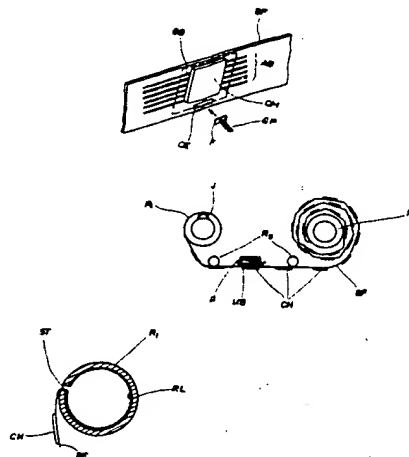


**(54) CASSETTE DEVICE**

(11) 60-246084 (A) (43) 5.12.1985 (19) JP  
 (21) Appl. No. 59-103426 (22) 21.5.1984  
 (71) SHARP K.K. (72) KOUSUKE NISHIMURA  
 (51) Int. Cl. G11C5/00

**PURPOSE:** To ensure the connection of many elements without increasing the number of bus lines and to attain the easy and safe portability with a cassette device, by attaching many SLI elements with spaces on the bus line formed in the lengthwise direction of the tape surface.

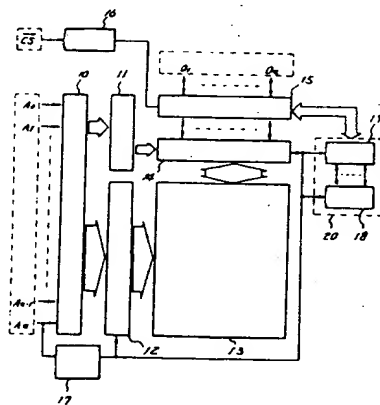
**CONSTITUTION:** Plural conductive bus lines AB are formed in parallel in the lengthwise direction on a single side of an insulated tape BF. Then many LSI memory elements CH are attached on said lines AB with spaces. These elements CH are connected to each other via a conductive pad CE. The both ends of the tape BF are connected to the shafts of reels  $R_1$  and  $R_0$  respectively. Then a conductive line RL provided on the inner wall of the reel shaft is connected to a tape BF inserted through a slit SL. Thus many elements CH can be provided without increasing the number of lines AB. Then a tape is taken up by a reel and stored compact within a case, and the elements CH can be carried safely and easily.

**(54) SEMICONDUCTOR MEMORY**

(11) 60-246085 (A) (43) 5.12.1985 (19) JP  
 (21) Appl. No. 59-102092 (22) 21.5.1984  
 (71) NIPPON DENKI K.K. (72) MISAO HIGUCHI  
 (51) Int. Cl. G11C7/00, G11C17/00, H01L27/10, H01L29/78

**PURPOSE:** To enable a user to discriminate easily the pattern information by using a selection means which selects a code discriminating circuit part that delivers the pattern information in a coded form when the voltage at a certain fixed level is supplied and does not select a memory cell array which stores the pattern information.

**CONSTITUTION:** Address inputs  $A_0 \sim A_n$  are supplied to Y and X decoders 11 and 12 via an address input buffer 10. The decoder 12 selects a word line of a memory cell array 13, and a Y selector 14 gives the data on a selected address to an input/output buffer 15 through the selected word line and performs reading or writing. When the fixed voltage higher than the power supply voltage level is supplied to an input terminal, a code selector 19 of a code discriminating circuit part 20 is selected and connected to the buffer 15. Then the contents of a discrimination code part 18 where the pattern information stored in the 13 is coded and stored are read out or written. In this case, the array 13 is not selected. This facilitates easy discrimination of codes.



16: control signal buffer, 17: control buffer

**(54) RECORDING SYSTEM OF MAGNETIC BUBBLE MEMORY**

(11) 60-246086 (A) (43) 5.12.1985 (19) JP  
 (21) Appl. No. 59-100451 (22) 21.5.1984  
 (71) HITACHI SEISAKUSHO K.K. (72) WATARU NOZAKI(1)  
 (51) Int. Cl. G11C11/14, G11C19/08

**PURPOSE:** To shorten the access time of a magnetic bubble memory by skipping a dummy loop after the information of a prescribed amount is written, processing the written information and then supplying the next information.

**CONSTITUTION:** A dummy loop is skipped after a prescribed amount of information is written to a magnetic bubble memory. Then the written information is processed and the next information is supplied. In this case, the number of pages to be skipped is set at four pages forming a sector. Thus the writing is possible to a blank page after the information writing address has a round along the loop. In such a way, the overall access time can be shortened by skipping the pages to receive accesses.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-246085

⑬ Int. Cl.<sup>4</sup>

G 11 C 7/00  
17/00  
H 01 L 27/10  
29/78

識別記号

101

庁内整理番号

6549-5B  
6549-5B  
6655-5F  
7514-5F

⑭ 公開 昭和60年(1985)12月5日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体メモリ

⑯ 特 願 昭59-102092

⑰ 出 願 昭59(1984)5月21日

⑱ 発 明 者 樋 口 三 佐 男 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体メモリ

2. 特許請求の範囲

- (1) パターン情報を格納するメモリセルアレイと、アドレス信号によりある番地を選択する手段と、前記選択された番地内のメモリセルの記憶内容を読み出した記憶内容を入力するための入出力バッファと、前記メモリセルアレイに格納されたパターン情報をあるコード化した形で入力及び出力するコード識別回路部と、アドレス入力端子あるいは制御信号入力端子に電源電圧以上のある一定電圧が入力されたとき前記コード識別回路部を選択し前記メモリセルアレイを選択しない選択手段とを含むことを特徴とする半導体メモリ。
- (2) コード識別回路部が、メモリセルアレイと同じメモリ素子で構成され、コード識別回路部あ

るいはメモリセルアレイのいずれかを選択する選択手段により前記メモリセルアレイに格納されたパターン情報をあるコード化した形で記憶しまた読出すメモリ素子と、該メモリ素子から記憶内容を読み出した該メモリ素子に情報を記憶させるための選択回路とから成る特許請求の範囲第(1)項記載の半導体メモリ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体メモリに関し、特に紫外線照射等によりメモリ内容を消去することが可能な不揮発性半導体メモリに関する。

(従来技術)

近年、マイクロコンピュータの急激な発展につれて、大きく伸びてきた分野として読み出し専用メモリ(以下ROMという)がある。最も基本的なROMは、IC製造工程で使用するマスクのパターンに情報を入れておくもので、マスクROMと呼ばれる。この種のROMは、ユーザからその

パターン情報を入手してからマスクを作成し、いくつかの工程を経たのち製品として出荷される。この時製品にはそのパターン情報を識別するコード番号等が捺印されている。

ところで、マスクROMは同一記憶内容のものを大量に作る場合には単価が安くなる利点があるが、少量多品種製品には適さず、ユーザからパターン情報を入手してから製品出荷まで相当の期間を要する。

一方、使用者がフィールドで自由にメモリ内容を書き込めるようにしたプログラム可能なROMでしかも紫外線照射等によりメモリ内容を消去することが可能な不揮発性半導体メモリ（以下EPROMという）がある。EPROMは紫外線照射のために特殊なパッケージが必要であり、ROMに比べ単価が高いという欠点がある。ところが、EPROMの記憶の安定性、すなわち情報書き込み後の保持特性は極めて良好である点に着目し、特殊なパッケージを使用せず、プラスチックパッケージ等ROMと同様なパッケージとして、1回の書き込みのみに

限定して使用することにより、少量多品種はもちろん、大量に使う場合でも単価は極めて安くなり、フィールドでの便利性もあり、ユーザが製品を入手するもの短期間となり得るEPROM（以下、ワンライトEPROMという）が考えられた。しかし、マスクROMと同様なパターン情報を識別する目的の為に捺印等のマーキングはユーザが任意に行なうか、全く行なわないのが一般的である。ところが、多品種に亘った場合、ユーザは何かのパターン情報を区別する為の管理が必要となる。しかし、現状はパッケージ上にラベル等の添付を行なう程度である。そのため、ラベルがはずれたり、ラベルに書込んだ文字が不鮮明であったり、判読しにくい字であったりするとパターン情報の管理が不十分になるという欠点がある。

#### （発明の目的）

本発明の目的は、上記欠点を除去し、ユーザが容易にパターン情報を区別することが可能なコード識別回路を内蔵した不揮発性の半導体メモリを提供することにある。

#### （実施例）

次に、本発明の実施例について図面を用いて説明する。

第1図は本発明の一実施例のブロック図である。

この実施例は、パターン情報を格納するメモリセルアレイ13と、アドレス信号 $A_0, A_1, \dots, A_n$ によりある番地を選択する手段としてのXデコーダ12、Yデコーダ11、Yセレクト14と、選択された番地内のメモリセルの記憶内容を入力した記憶内容を入力するための入出力バッファ15と、メモリセルアレイ13に格納されたパターン情報のあるコード化した形で入力及び出力するコード識別回路部20と、アドレス入力端子あるいは制御信号入力端子に電源電圧以上のある一定電圧が入力されたとき前記コード識別回路部20を選択し前記メモリセルアレイ13を選択しない選択手段としての制御バッファ17とを含んで構成される。

コード識別回路部20は、識別コード部18とコードセレクト19とから成り、識別コード部18

#### （発明の構成）

本発明の半導体メモリは、パターン情報を格納するメモリセルアレイと、アドレス信号によりある番地を選択する手段と、前記選択された番地内のメモリセルの記憶内容を入力した記憶内容を入力するための入出力バッファと、前記メモリセルアレイに格納されたパターン情報のあるコード化した形で入力及び出力するコード識別回路部と、アドレス入力端子あるいは制御信号入力端子に電源電圧以上のある一定電圧が入力されたとき前記コード識別回路部を選択し前記メモリセルアレイを選択しない選択手段とを含んで構成される。

前記コード識別回路部は、メモリセルアレイと同じメモリ素子で構成され、コード識別回路部あるいはメモリセルアレイのいずれかを選択する選択手段により前記メモリセルアレイに格納されたパターン情報のあるコード化した形で記憶した読出すメモリ素子と、該メモリ素子から記憶内容を読出した又は該メモリ素子に情報を記憶させるための選択回路とから構成される。

は、メモリセルアレイ13に格納されたパターン情報があるコード化した形で記憶する部分で、コードセクタ19は、識別コード部18に上記コード化したパターン情報に書き込みし、また書き込んだ情報を読出すための選択回路である。

次に、この実施例の動作について説明する。

通常のEPROMの動作では、アドレス入力 $A_0 \sim A_n$ がアドレス入力バッファ10に入力され、更にこのバッファ出力はYデコーダ11、Xデコーダ12に与えられ、Xデコーダ12によってメモリセルアレイ13のワードラインが選択され、Yデコーダ11はYセクタ14に出力を与え、選択されたワードラインより入出力バッファ15に選択した番地のデータを与え、読出すか、入出力バッファ15より選択した番地へデータを与え、書き込む。

今、アドレス入力 $A_0 \sim A_n$ が入力する端子の何れか、あるいは制御信号入力端子へ電源電圧以上のある一定電圧が入力された時に、コードセクタ19が選択され、入出力バッファ15と接続

されて、識別コード部18の内容を読出すか、書き込むかを行なう。この時、メモリセルアレイ13は選択されない。

第2図は第1図に示すコード識別回路部の一例の回路図である。

トランジスタ $M_1 \sim M_m$ がコード識別部18を構成し、トランジスタ $S_1 \sim S_m$ がコードセクタ19を構成する。トランジスタ $M_1 \sim M_m$ は、メモリセルアレイ13を構成しているメモリ素子と同じ素子、即ち浮遊ゲート構造を有する絶縁ゲート型電界効果トランジスタで構成されている。トランジスタ $S_1 \sim S_m$ は通常のMOSトランジスタである。トランジスタ $M_i$ と $S_i$  ( $i=1 \sim m$ )は直列に接続され、基準電圧 $V_s$ と入出力バッファ15との間に接続され、制御バッファ17からの制御信号 $C_1, C_2$ がゲートに入力される。

前述のように、アドレス入力端子の何れか、あるいは制御信号入力端子に電源電圧以上の所定の電圧が入力されたとき、制御バッファ17は制御信号 $C_1, C_2$ を出力する。制御信号 $C_1$ により

トランジスタ $S_1 \sim S_m$ はオンとなり、制御信号 $C_2$ の状態によってトランジスタ $M_1 \sim M_m$ に情報を書込むか、あるいは書き込まれた情報を入出力バッファ15へ読出す。

(発明の効果)

以上説明したように、本発明によれば、ユーザが自由にパターン情報を管理できるとともに、必要に応じてコードの識別ができ、ラベル添付等が不要となり、かつデータ保護、保安にも優れた半導体メモリが得られる。

#### 4. 図面の簡単な説明

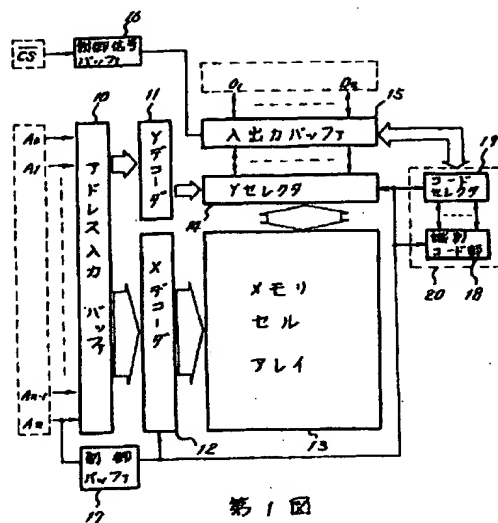
第1図は本発明の一実施例のブロック図、第2図は第1図に示すコード識別回路部の一例の回路図である。

10…アドレス入力バッファ、11…Yデコーダ、12…Xデコーダ、13…メモリセルアレイ、14…Yセクタ、15…入出力バッファ、16…制御信号バッファ、17…制御バッファ、18…識別コード部、19…コードセクタ、20…

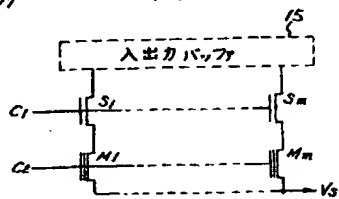
コード識別回路部、 $A_0 \sim A_n$ …アドレス入力、 $C_1, C_2$ …制御信号、 $\overline{CS}$ …チップセレクト信号、 $M_1 \sim M_m$ …浮遊ゲート型電界効果トランジスタ(識別コード記憶用)、 $O_1 \sim O_m$ …データ入出力、 $S_1 \sim S_m$ …トランジスタ(セレクト用)、 $V_s$ …基準電圧。

代理人 弁理士 内 原 晋





第1図



第2図